

Docket No. 8733.437.00

4

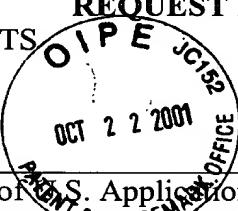
IN THE UNITED STATES PATENT AND TRADE MARK OFFICE

IN RE APPLICATION OF:	Ik Soo KIM	GAU:	2871
SERIAL NO:	09/893,976	EXAMINER:	TBA
FILED:	June 29, 2001		
FOR:	LIQUID CRYSTAL DISPLAY DEVICE AND FABRICATING METHOD THEREOF		

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:



TC 2800
OCT 22 2001
RECEIVED
U.S. PATENT & TRADEMARK OFFICE

Full benefit of the filing date of U.S. Application Serial Number [US App No], filed ~~US App No~~, is claimed pursuant to the provisions of 35 U.S.C. §120.

Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §119(e).

Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
KOREA	2000-87051	December 30, 2000

Certified copies of the corresponding Convention Application(s)

<input checked="" type="checkbox"/> are submitted herewith
<input type="checkbox"/> will be submitted prior to payment of the Final Fee
<input type="checkbox"/> were filed in prior application Serial No. filed
<input type="checkbox"/> were submitted to the International Bureau in PCT Application Number. Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
<input type="checkbox"/> (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
<input type="checkbox"/> (B) Application Serial No.(s)
<input type="checkbox"/> are submitted herewith
<input type="checkbox"/> will be submitted prior to payment of the Final Fee

Respectfully Submitted,

Date: October 22, 2001

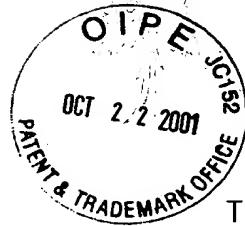
LONG ALDRIDGE & NORMAN LLP

Sixth Floor
701 Pennsylvania Avenue, N.W.
Washington, D.C. 20004
Tel. (202) 624-1200
Fax. (202) 624-1298

John M. Kelly
John M. Kelly

Registration No. 33,920

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE



RECEIVED

OCT 24 2001

TC 2800 MAIL ROOM

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2000년 제 87051 호
Application Number

출원년월일 : 2000년 12월 30일
Date of Application

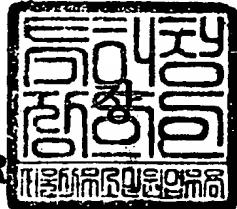
출원인 : 엘지.필립스 엘시디 주식회사
Applicant(s)



2001 04 월 07 일

특허청

COMMISSIONER



【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0027		
【제출일자】	2000.12.30		
【발명의 명칭】	박막트랜지스터 및 그 제조방법		
【발명의 영문명칭】	Thin Film Transistor and Fabricating Method Thereof		
【출원인】			
【명칭】	엘지 .필립스 엘시디 주식회사		
【출원인코드】	1-1998-101865-5		
【대리인】			
【성명】	김영호		
【대리인코드】	9-1998-000083-1		
【포괄위임등록번호】	1999-001050-4		
【발명자】			
【성명의 국문표기】	김익수		
【성명의 영문표기】	KIM, Ik-Soo		
【주민등록번호】	680113-1140123		
【우편번호】	435-040		
【주소】	경기도 군포시 산본동 1148-4 금강주공아파트 904동 1003호		
【국적】	KR		
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 호 (인) 김영호		
【수수료】			
【기본출원료】	18	면	29,000 원
【가산출원료】	0	면	0 원
【우선권주장료】	0	건	0 원
【심사청구료】	0	항	0 원
【합계】	29,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명은 강유전성액정(FLC)구현을 위한 장폭을 갖는 박막트랜지스터 및 그 제조방법에 관한 것이다.

본 발명은 임의의 투명기판 상에 형성된 게이트전극과, 상기 투명기판 상에 상기 게이트전극을 덮도록 형성된 게이트절연막과, 상기 게이트절연막 상에 형성되며 상기 게이트전극과 대응하는 부분에 형성된 반도체층과, 상기 반도체층상에 'ㄹ'자 형태로 형성된 채널과, 상기 채널을 사이에 두고 형성된 소스전극 및 드레인전극을 구비한다.

본 발명에 따른 박막트랜지스터의 제조방법은 채널을 이용하여 게이트와 소스가 중첩되는 면적을 줄임으로써 개구율을 높일 수 있다.

【대표도】

도 4

【명세서】

【발명의 명칭】

박막트랜지스터 및 그 제조방법{Thin Film Transistor and Fabricating Method
Thereof}

【도면의 간단한 설명】

도 1은 종래의 박막트랜지스터의 채널층을 나타내는 평면도

도 2는 도 1에서 선 A-A'를 따라 절취하여 나타내는 박막트랜지스터의 단면도

도 3a내지 도 3d는 도 2에 도시된 박막트랜지스터의 제조공정을 단계적으로 설명하는 단면도

도 4는 본 발명의 실시예에 따른 박막트랜지스터의 채널층을 나타내는 평면도

도 5는 도 4에서 선 B-B'를 따라 절취하여 나타내는 박막트랜지스터의 단면도

도 6a내지 도 6d는 도 5에 도시된 박막트랜지스터의 제조공정을 단계적으로 설명하는 단면도

<도면의 주요 부분에 대한 부호의 설명>

11,31 : 투명기판

12,32 : 채널층

13,33 : 게이트 전극

15,35 : 게이트 절연막

17,37 : 활성층

19,39 : 오믹접촉층

21,41 : 소스 전극

23,43 : 드레인전극

25,45 : 포토레지스트 패턴

27,47 : 폐시베이션층

28,48 : 접촉홀

29,49 : 화소전극

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<14> 본 발명은 박막트랜지스터 및 그 제조방법에 관한 것으로, 특히, 채널의 폭을 넓어지는 박막트랜지스터 및 그 제조방법에 관한 것이다.

<15> 액정표시장치는 게이트전극, 게이트절연막, 활성층, 오믹접촉층, 소스 및 드레인전극을 포함하는 박막트랜지스터(Thin Film Transistor; 이하 'TFT'라 함)가 형성된 하판과 칼라필터가 형성된 상판 사이에 주입된 액정으로 이루어진다.

<16> 도1 및 도 2를 참조하면, TFT는 데이터라인과 게이트라인의 교차부에 형성되며 액정셀을 구동하는 화소전극(29)과 접속된다. 데이터라인은 TFT 반도체층의 소스영역과 접속되고 드레인전극(23)은 상기 반도체층의 드레인영역과 접속되며, 게이트라인은 돌출된 게이트전극(13)을 가진다. 화소전극(29)은 게이트라인과 데이터라인에 의해 분할된 셀영역에 형성되고 콘택홀(28)에 의해 드레인전극(23)과 접속된다. 채널층(12)은 데이터라인상에 길게 형성된다.

<17> 도 3a내지 도 3d는 도 2에 도시된 박막트랜지스터의 제조공정이다.

<18> 도 3a를 참조하면, 투명기판(11) 상에 스퍼터링(sputtering)등의 방법으로 알루미늄(Al) 또는 구리(Cu) 등을 증착하여 금속박막을 형성한다. 그리고, 금속박막을 습식방

법을 포함하는 포토리쏘그래피방법으로 패터닝하여 투명기판(11)상에 게이트전극(13)을 형성한다.

<19> 도 3b를 참조하면, 투명기판(11)상에 게이트전극(13)을 덮도록 게이트절연막(15), 활성층(17) 및 오믹접촉층(19)을 화학기상증착방법(Chemical Vapor Deposition : 이하 'CVD' 라함)으로 순차적으로 형성한다.

<20> 상기에서 게이트절연막(15)은 질화실리콘 또는 산화실리콘으로 절연물질을 증착하여 형성하고, 활성층(17)은 불순물이 도핑되지 않은 비정질실리콘 또는 다결정실리콘으로 형성된다. 또한, 오믹접촉층(19)은 N형 또는 P형의 불순물이 고농도로 도핑된 비정질실리콘 또는 다결정실리콘으로 형성된다.

<21> 오믹접촉층(19) 및 활성층(17)을 게이트전극(13)과 대응하는 부분에만 잔류되도록 이방식각을 포함하는 포토리쏘그래피방법으로 게이트절연막(15)이 노출되도록 패터닝한다.

<22> 도 3c를 참조하면, 게이트절연막(15) 상에 오믹접촉층(19)을 덮도록 CVD방법 또는 스퍼터링방법으로 몰리브덴(Mo), MoW, MoTa 또는 MoNb등의 몰리브덴 합금(Mo alloy)을 증착하여 금속박막을 형성한다. 상기에서 오믹접촉층과 금속박막은 오믹접촉을 이룬다.

<23> 그리고, 금속박막상에 포토레지스트를 도포하고 노광 및 현상하여 게이트전극(13)의 양측과 대응하는 부분에 포토레지스트 패턴(25)을 형성한다. 포토레지스트 패턴(25)은 마스크로 사용하여 금속박막을 오믹접촉층(19)이 노출되도록 습식식각하여 소스 및 드레인전극(21)(23)을 형성한다. 그리고, 포토레지스트 패턴(25)을 마스크로 사용하여 노출된 오믹접촉층(19)을 활성층(17)이 노출되도록 건식 식각한다. 이 때, 식각되지 않

고 잔류하는 오믹접촉층(19) 사이의 게이트전극(13)과 대응하는 부분의 활성층(17)은 채널이 된다.

<24> 도 3d를 참조하면, 포토레지스트 패턴(25)을 제거한다. 그리고, 게이트절연층(15) 상에 소스 및 드레인전극(21)(23)을 덮도록 페시베이션층(27)을 형성한다. 상기에서 페시베이션층(27)은 질화실리콘 또는 산화실리콘등의 무기절연물질 또는 아크릴계(acryl) 유기화합물, 테프론(Teflon), BCB(benzocyclobutene), 사이토프(cytop) 또는 PFCB(perfluorocyclobutane)등의 유전상수가 작은 유기절연물로 형성된다.

<25> 페시베이션층(27)을 포토리쏘그래피방법으로 패터닝하여 드레인전극을 노출시키는 접촉홀(28)을 형성한다. 페시베이션층(27)상에 인듐-옥사이드(Indium-Tin-Oxide ; 이하'ITO'라 함), 인듐-아연-옥사이드(Indium-Zinc-Oxide ; 이하'IZO'라 함), 인듐-틴-아연-옥사이드(Indium-Tin-Zinc-Oxide ; 이하'ITZO'라 함)등의 투명한 도전성물질을 접촉홀(28)을 통해 드레인전극(23)과 접촉되게 증착하고 포토리쏘그래피방법으로 패터닝하여 화소전극(29)을 형성한다.

<26> 그러나, 종래의 TFT는 게이트 노광공정에서 채널층을 형성시켜 주는 게이트부분이 상당히 길어 포토 레지스트(Photo resist)의 코팅에 균일성이 떨어져 증착이 나빠지며 이에 따라 포토 레지스터가 벗겨지는 현상이 발생한다.

<27> 또한, 게이트와 소스가 겹치는 부분이 넓어 기생용량 Cgs값이 커지게 되고, 잔상 및 플리커(flicker)가 발생되어 개구율이 낮아진다. 뿐만 아니라, 채널의 폭이 거의 일자형의 단폭(W)을 갖는 TFT이므로 채널의 폭에 비례하는 온 전류가 감소하여 구동전압에

대한 반응속도가 상당히 낮은 단점이 있다.

【발명이 이루고자 하는 기술적 과제】

<28> 따라서, 본 발명의 목적은 장폭의 채널을 형성하여 TFT의 온 전류의 증가와 스위칭 타임을 줄일 수 있는 박막트랜지스터 및 그 제조방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<29> 상기 목적을 달성하기 위한 본 발명에 따른 박막트랜지스터는 임의의 투명기판 상에 형성된 게이트전극과, 상기 투명기판 상에 상기 게이트전극을 덮도록 형성된 게이트 절연막과, 상기 게이트절연막 상에 형성되며 상기 게이트전극과 대응하는 부분에 형성된 반도체층과, 상기 반도체층상에 'L'자 형태로 형성된 채널과, 상기 채널을 사이에 두고 형성된 소스전극 및 드레인전극을 구비한다.

<30> 상기 다른 목적을 달성하기 위한 본 발명에 따른 박막트랜지스터의 제조방법은 임의의 투명기판 상에 게이트전극을 형성하는 공정과, 상기 투명기판 상에 상기 게이트전극을 덮도록 게이트절연막을 형성하는 공정과, 상기 게이트절연막 상에 형성되며 상기 게이트전극과 대응하는 부분에 반도체층을 형성하는 공정과, 상기 반도체층상에 'L'자 형태로 채널을 형성하는 공정과, 상기 채널을 사이에 두고 소스전극 및 드레인전극을 형성하는 공정을 포함한다.

<31> 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부한 설명예들에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

<32> 이하, 도 4 내지 도 6을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

<33> 도 4 및 도 5를 참조하면, TFT는 투명기판(31)상에 게이트전극(33)에 적층된 게이트절연막(35), 활성층(37), 오믹접촉층(39)위에 접촉홀(48)을 통해 활성층(37)과 전기적으로 연결되게 형성되는 소스전극 및 드레인전극(41,43)을 구비한다.

<34> TFT는 데이터라인과 게이트라인의 교차부에 형성되며 액정셀을 구동하는 화소전극(49)과 접속된다. 데이터라인은 TFT 반도체층의 소스영역과 접속되고 드레인전극(43)은 상기 반도체층의 드레인영역과 접속되며, 게이트라인은 돌출된 게이트전극(33)을 가진다. 화소전극(49)은 게이트라인과 데이터라인에 의해 분할된 셀영역에 형성되고 콘택홀(48)에 의해 드레인전극(43)과 접속된다. 채널층은 게이트전극상에 'ㄹ'자로 형성된다.

<35> 도 6a내지 도 6d는 도 5에 도시된 TFT의 제조공정도이다.

<36> 도 6a를 참조하면, 투명기판(31) 상에 스퍼터링(sputtering)등의 방법으로 알루미늄(Al) 또는 구리(Cu) 등을 증착하여 금속박막을 형성한다. 그리고, 금속박막을 습식방법을 포함하는 포토리쏘그래피방법으로 패터닝하여 투명기판(31)상에 게이트전극(32)을 형성한다.

<37> 도 6b를 참조하면, 투명기판(31)상에 게이트전극(32)을 덮도록 게이트절연막(33), 활성층(37) 및 오믹접촉층(39)을 화학기상증착방법(Chemical Vapor Deposition : 이하 'CVD' 라함)으로 순차적으로 형성한다.

<38> 상기에서 게이트절연막(35)은 질화실리콘 또는 산화실리콘으로 절연물질을 3000 ~ 5000Å정도의 두께로 증착하여 형성하고, 활성층(37)을 불순물이 도핑되지 않은 비정질

실리콘 또는 다결정실리콘을 1500 ~ 2000Å 정도의 두께로 증착하여 형성한다. 또한, 오믹 접촉층(39)은 N형 또는 P형의 불순물이 고농도로 도핑된 비정질실리콘 또는 다결정실리콘을 200 ~ 500Å 정도의 두께로 증착하여 형성한다.

<39> 오믹 접촉층(39) 및 활성층(37)을 게이트전극(33)과 대응하는 부분에만 잔류되도록 이 방식각을 포함하는 포토리쏘그래피방법으로 게이트절연막이 노출되도록 패터닝한다.

<40> 도 6c를 참조하면, 게이트절연막(35) 상에 오믹 접촉층(39)을 덮도록 CVD방법 또는 스퍼터링방법으로 몰리브덴(Mo), MoW, MoTa 또는 MoNb등의 몰리브덴 합금(Mo alloy)을 CVD방법 또는 스퍼터링 방법으로 1000 ~ 2000Å 정도의 두께로 증착하여 금속박막을 형성 한다. 상기에서 오믹 접촉층(39)과 금속박막은 오믹 접촉을 이룬다.

<41> 그리고, 금속박막상에 포토 레지스트를 도포하고 노광 및 현상하여 게이트전극(33)의 양측과 대응하는 부분에 포토 레지스트 패턴(45)을 형성한다.

<42> 포토 레지스트 패턴(45)을 'ㄹ' 모양의 마스크로 사용하여 금속 박막을 오믹 접촉층(39)이 노출되도록 습식식각하여 소스 및 드레인전극(41)(43)을 형성한다. 그리고, 계속해서, 포토 레지스트 패턴(45)을 마스크로 사용하여 오믹 접촉층(39)의 노출된 부분을 활성층(37)이 노출되도록 건식 식각한다. 이 때, 오믹 접촉층(39)은 포토 레지스트 패턴(45)의 측면에 일치되게 식각되는 데, 식각되지 않고 잔류하는 오믹 접촉층(39)사이의 게이트전극(33)과 대응하는 부분의 활성층(37)은 채널층(32)이 된다.

<43> 상기에서 채널은 'ㄹ'자 모양으로 형성되므로 게이트전극(33)의 폭이 넓어지고 소스전극(41)은 두 개가 된다. 그래서 채널의 폭이 넓어지고 게이트와 소스가 중첩되는 면적이 작아지게 될 뿐만 아니라 기생용량 Cgs값이 높아지게 되고 개구율도 높아진다.

<44> 도 6d를 참조하면, 포토 레지스트 패턴(45)을 제거한다. 그리고, 게이트절연층(35)상에 소스 및 드레인전극(41)(43)을 덮도록 페시베이션층(47)을 형성한다. 상기에 서 페시베이션층(47)은 질화실리콘 또는 산화실리콘등의 무기절연물질 또는 아크릴계(acryl)유기화합물, 테프론(Teflon), BCB(benzocyclobutene), 사이토프(cytop) 또는 PFCB(perfluorocyclobutane)등의 유전상수가 작은 유기절연물로 형성된다.

<45> 페시베이션층(47)을 포토리쏘그래피방법으로 패터닝하여 드레인전극(43)을 노출시키는 접촉홀(48)을 형성한다. 페시베이션층(47)상에 인듐-옥사이드(Indium-Tin-Oxide ; 이하'ITO'라 함), 인듐-아연-옥사이드(Indium-Zinc-Oxide ; 이하'IZO'라 함), 인듐-틴-아연-옥사이드(Indium-Tin-Zinc-Oxide ; 이하'ITZO'라 함)등의 투명한 도전성물질을 접촉홀(48)을 통해 드레인전극(43)과 접촉되게 증착하고 포토리쏘그래피방법으로 패터닝하여 화소전극(49)을 형성한다.

【발명의 효과】

<46> 상술한 바와 같이, 본 발명에 따른 박막트래지스터가 장폭의 채널을 갖는 TFT구조로 형성될 때 안정된 공정과 상대적으로 작은 Cgs 값을 유지하며 개구율이 높아진다. 뿐만 아니라 온-전류(on current)의 증가와 스위칭 타임(switching time)의 감소로 넓은 시야각과 빠른 응답속도를 갖는 FLC구현이 가능하다.

<47> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범

1020000087051

2001/4/

위에 의해 정하여져야만 할 것이다.

【특허청구범위】**【청구항 1】**

임의의 투명기판 상에 형성된 게이트전극과,

상기 투명기판 상에 상기 게이트전극을 덮도록 형성된 게이트절연막과,

상기 게이트절연막 상에 형성되며 상기 게이트전극과 대응하는 부분에 형성된 반도체층과,

상기 반도체층상에 'L'자 형태로 형성된 채널과,

상기 채널을 사이에 두고 형성된 소스전극 및 드레인전극을 구비하는 것을 특징으로 하는 박막트랜지스터.

【청구항 2】

제 1항에 있어서,

상기 게이트 절연막상에 형성되는 활성층과,

상기 활성층상에 형성되며 상기 채널과 대응하는 'L'자 형태의 홀이 형성된 오믹 접촉층을 구비하는 것을 특징으로 하는 박막트랜지스터.

【청구항 3】

임의의 투명기판 상에 게이트전극을 형성하는 공정과,

상기 투명기판 상에 상기 게이트전극을 덮도록 게이트절연막을 형성하는 공정과,

상기 게이트절연막 상에 형성되며 상기 게이트전극과 대응하는 부분에 반도체층을 형성하는 공정과,

상기 반도체층상에 'L'자 형태로 채널을 형성하는 공정과,

상기 채널을 사이에 두고 소스전극 및 드레인전극을 형성하는 공정을 포함하는 것을 특징으로 하는 박막트랜지스터의 제조방법.

【청구항 4】

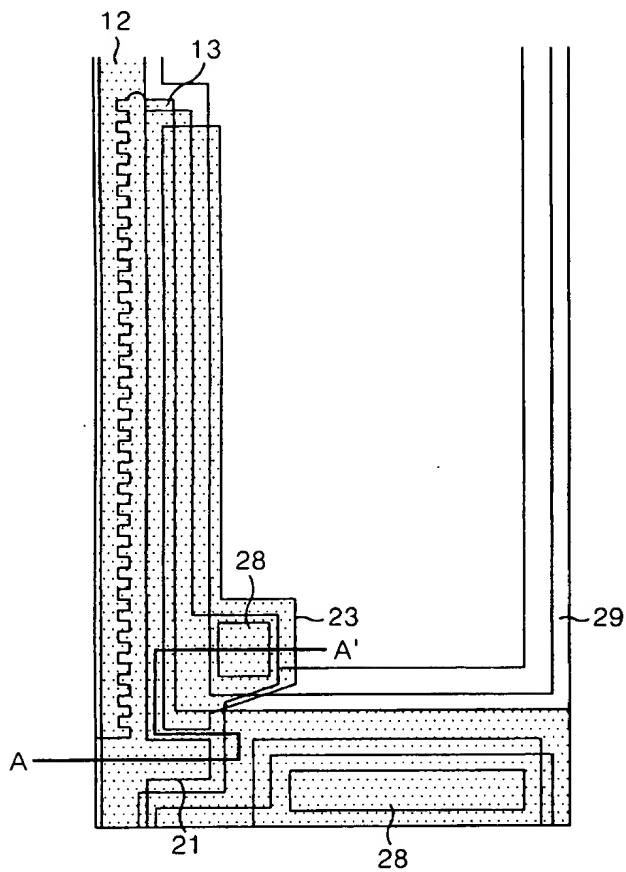
제 3항에 있어서,

상기 게이트 절연막상에 활성층을 형성하는 공정과,

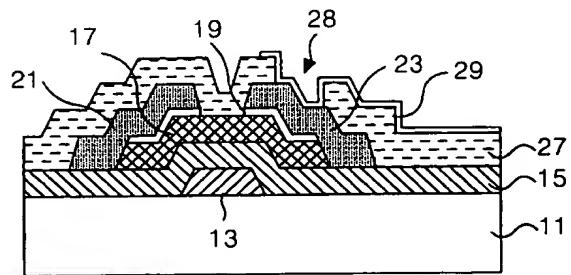
상기 활성층상에 형성되며 상기 채널과 대응하는 'ㄹ'자 형태의 홀을 오믹 접촉층에 형성하는 공정을 구비하는 것을 특징으로 하는 박막트랜지스터의 제조방법.

【도면】

【도 1】



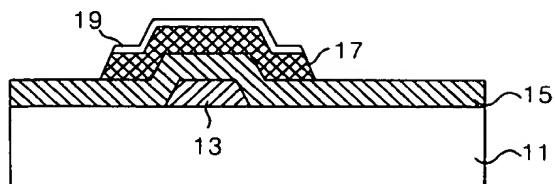
【도 2】



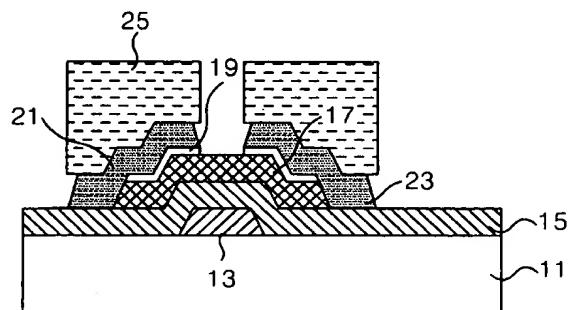
【도 3a】



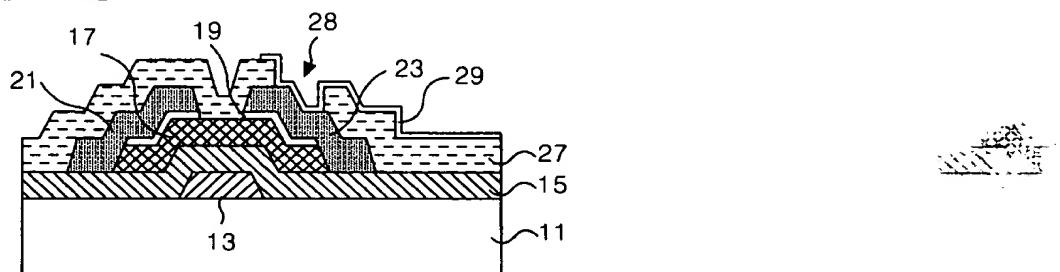
【도 3b】



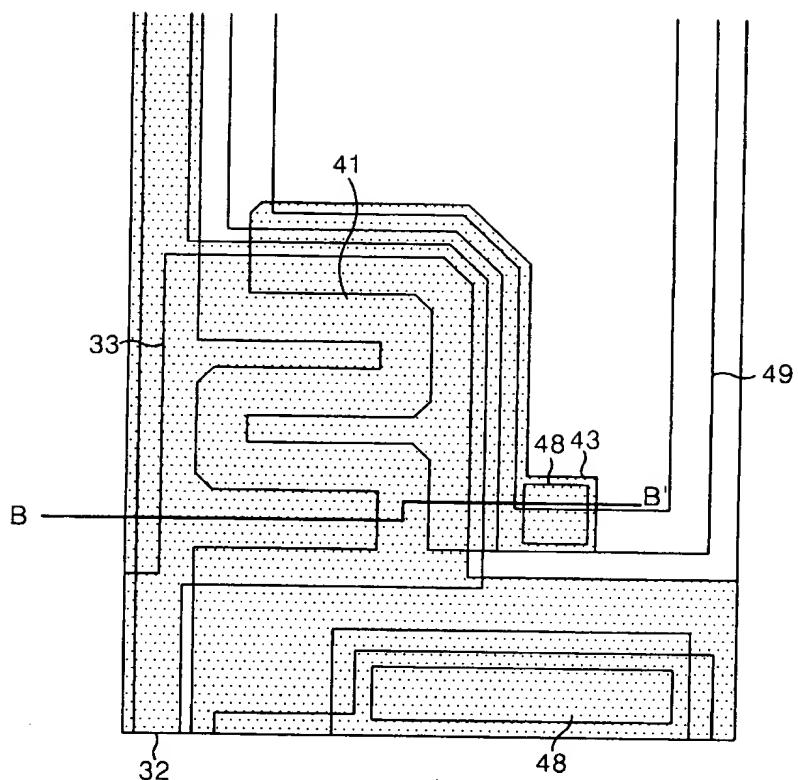
【도 3c】



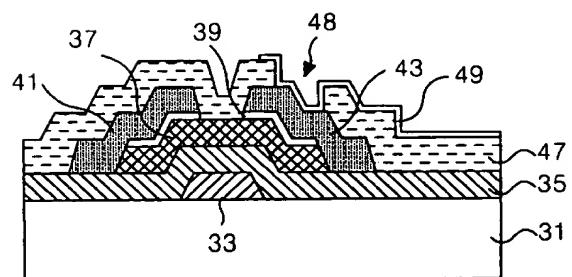
【도 3d】



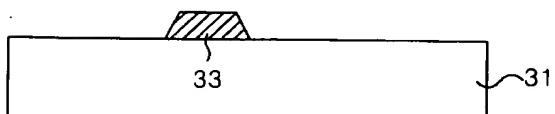
【도 4】



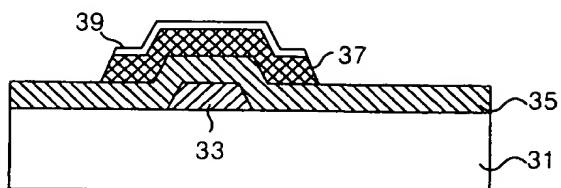
【도 5】



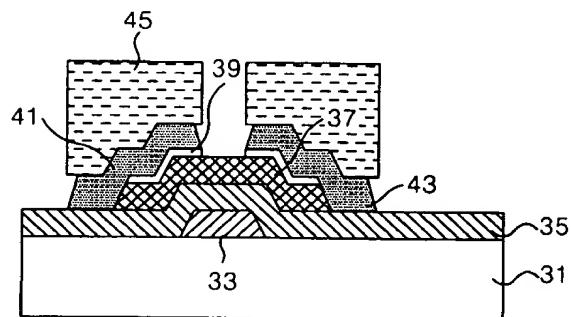
【도 6a】



【도 6b】



【도 6c】



【도 6d】

